

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-099256

(43)Date of publication of application : 05.04.2002

---

(51)Int.CI.

G09G 3/36  
G02F 1/133  
G09G 3/20

---

(21)Application number : 2000-290778

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.09.2000

(72)Inventor : KIMURA HIROSHI

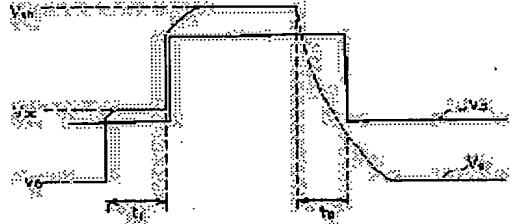
---

(54) PLANAR DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device in which no writing shortage is generated by gate signals even though the size of a screen is increased.

SOLUTION: A gate driver 28 of a liquid crystal display device 10 temporarily boosts gate signals to an intermediate voltage VDD from a reference voltage VO and then, boosts the voltage VDD to a writing voltage Vgh so that the size of the residual is made small and no writing shortage is generated.



---

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] The array substrate equipped with the pixel electrode arranged through a switching device near the intersection of two or more signal lines and scanning lines which are arranged by intersecting perpendicularly mutually, and this signal line and scanning line is included. The signal-line drive circuit which is connected to said signal line and supplies a picture signal, and the scanning-line drive circuit which supplies the gate signal which is connected to said scanning line, changes said switching element into ON condition, and writes said picture signal in said pixel electrode, It is the flat-surface display which carries out the description of raising a write-in electrical potential difference once said scanning-line drive circuit raises said gate signal from reference voltage to intermediate voltage in the flat-surface display which \*\*\*.

[Claim 2] The perpendicular start signal which directs the timing which the level start signal which directs the timing which generates said picture signal is outputted [ timing ] to said signal-line drive circuit, and generates said gate signal, It has the control circuit which outputs the output inhibiting signal which has predetermined pulse width to said scanning-line drive circuit. Said scanning-line drive circuit The flat-surface display according to claim 1 characterized by raising said gate signal to intermediate voltage after said output inhibiting signal inputs on the basis of the time of day which said perpendicular start signal inputted, writing in said gate signal and raising an electrical potential difference after said output inhibiting signal stops after that.

---

### [Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to flat-surface displays, such as a liquid crystal display.

#### [0002]

[Description of the Prior Art] The number of the thin film transistors (TFT) connected to the increment in the scanning line and the one scanning line is increasing the active matrix liquid crystal display which is one of the liquid crystal displays with the enlargement and highly-minute-izing, therefore the

increment of resistance and capacity of the scanning line is being enhanced.

[0003] Thus, resistance of the scanning line and the increment in capacity delay the voltage waveform of the gate signal Vg shown in drawing 4 by the scanning-line termination side like the voltage waveform of the gate signal Vg shown in drawing 5.

[0004] Thus, with the increment in the time delay to the direction of termination of the scanning line, TFT will not be in an OFF condition, but leakage current flows, and it happens that a pixel electrical potential difference falls.

[0005] Therefore, conventionally, as shown in drawing 4 and drawing 5, the gate propagation delay time t2 in consideration of the provincial accent of the voltage waveform was established, and only the part of gate propagation delay time t2 has brought down the gate signal Vg early.

[0006] Moreover, at the time of the standup of a gate signal Vg, a provincial accent arises under resistance of the scanning line, and the effect of capacity, the write-in time amount to a pixel electrode becomes long, and it becomes the cause which a flicker phenomenon generates.

[0007] Then, in the former, in order to prevent generating of this flicker, only fixed time amount made late build up time of a gate signal Vg, and the output prohibition time amount t1 is established.

[0008]

[Problem(s) to be Solved by the [Invention]] However, even if it established the period of the above output prohibition time amount t1 and front-deleted the part of the provincial accent of a gate signal Vg, on the grounds that the latest screen size becomes large, write-in lack arose and there was a trouble that there was a bad influence to image quality.

[0009] And there is the double-gate driving method as an approach of improving such write-in lack in a big screen.

[0010] By this double-gate driving method, before a gate signal performs this writing to a pixel electrode, the pixel signal of another Rhine is written in in preliminary writing, and write-in lack is improved.

[0011] However, even if it was this approach, there was a bad influence to image quality depending on the indicative data at the time of preliminary writing.

[0012] Then, this invention offers the flat-surface display which the write-in lack by the gate signal does not generate, even if a screen size becomes large in view of the above-mentioned trouble.

[0013]

[Means for Solving the Problem] Two or more signal lines and scanning lines which are arranged by invention of claim 1 intersecting perpendicularly mutually, The signal-line drive circuit which is connected to said signal line and supplies a picture signal including the array substrate equipped with the pixel electrode arranged through a switching device near the intersection of this signal line and scanning line, In the flat-surface display which has the scanning-line drive circuit which supplies the gate signal which is connected to said scanning line, changes said switching element into ON condition, and writes said picture signal in said pixel electrode Once said scanning-line drive circuit raises said gate signal from reference voltage to intermediate voltage, it is a flat-surface display which carries out the description of raising a write-in electrical potential difference.

[0014] The perpendicular start signal which directs the timing which invention of claim 2 outputs [ timing ] the level start signal which directs the timing which generates said picture signal to said signal-line drive circuit, and generates said gate signal, It has the control circuit which outputs the output inhibiting signal which has predetermined pulse width to said scanning-line drive circuit. Said scanning-line drive circuit It is the flat-surface display according to claim 1 characterized by raising said gate signal to intermediate voltage after said output inhibiting signal inputs on the basis of the time of day which said perpendicular start signal inputted, writing in said gate signal after said output inhibiting signal stops after that, and raising an electrical potential difference.

[0015] Since it goes up to a write-in electrical potential difference once a gate signal goes up that it is the flat-surface display of this invention to intermediate voltage, the provincial accent in the time of going up to this write-in electrical potential difference becomes smaller than the time of writing in

suddenly from reference voltage and going up to an electrical potential difference, and write-in lack can be reduced.

[0016]

[Embodiment of the Invention] Hereafter, the active matrix liquid crystal display 10 of one example of this invention is explained based on drawing 1 – drawing 5.

[0017] As for this liquid crystal display 10, the effective viewing area is equipped with the liquid crystal panel 12 equipped with the color display pixel of the UXGA specification of the 15 inches size of diagonal.

[0018] This liquid crystal panel 12 is equipped with the array substrate 14 equipped with the pixel electrode 22 arranged through TFT20 arranged near the intersection of the signal line 16 of a book, the 1200 scanning lines 18 arranged by intersecting perpendicularly with this signal line 6, and each [ these ] signal line 16 and the scanning lines 18 as shown in drawing 1 (1600x3 (R, G, B)). Moreover, it has the liquid crystal (not shown) as a light modulation layer arranged between the counterelectrode substrate (not shown) equipped with the color filter arranged with a predetermined gap in the opposed face upper part of this array substrate 14, and the array substrate 14 and a counterelectrode substrate.

[0019] In addition, if it replaces with a liquid crystal panel and is made an organic EL panel, it is necessary to replace with liquid crystal and to arrange an induction EL layer.

[0020] Each of a signal line 16 is connected to the drain of TFT20, each of the pixel electrode 22 is electrically connected to the source of TFT20, respectively, corresponding to the gate signal Vg supplied to the scanning line 18 by this, the picture signal Vs from a signal line 16 is written in the pixel electrode 22, and each of the scanning line 18 is displayed on the gate of TFT20 based on the potential difference of the pixel electrode 22 and a counterelectrode.

[0021] A signal line 16 is connected to the source driver 24, and this source driver 24 carries out D/A conversion of the digital image data signal DATA, and supplies the picture signal Vs of an analog to a signal line 16.

[0022] The scanning line 18 is connected to a gate driver 28, and a gate signal Vg is supplied.

[0023] And it has the liquid crystal controller 30 which controls the source driver 24 and a gate driver 28.

[0024] From this liquid crystal controller 30, level clock signal XCLK, level start signal STH, the above mentioned image data signal DATA, and the polarity-reversals signal POL are supplied to the source driver 24. Moreover, to a gate driver 28, perpendicular clock signal YCLK, perpendicular start signal STV, and the output inhibiting signal OE are supplied.

[0025] A power circuit 32 performs DC/DC conversion for the direct current voltage Vin supplied from the outside, and generates two or more direct current voltage required for a liquid crystal display 10.

[0026] For example, a power circuit 32 supplies direct current voltage V1 to the source driver 24, and supplies direct current voltage V2 also to the liquid crystal controller 30. And the write-in electrical potential difference Vgh and intermediate voltage VDD which are explained later are supplied to the gate driver 28.

[0027] The power-source selection circuitry 30 is formed in the gate driver 28 interior, and it is chosen as it based on the control signal which was supplied from the power circuit 32 and with which it wrote in and an electrical potential difference Vgh and intermediate voltage VDD have been sent from the liquid crystal controller 30, and is outputting to it as a gate signal Vg.

[0028] It is drawing 2 which showed the output wave of the gate signal Vg.

[0029] As shown in drawing 2, intermediate voltage VDD is once raised from reference voltage V0, and Vgh which is a write-in electrical potential difference is raised after the output prohibition time amount t1. And it brings down early only for gate-propagation-delay-time t 2 minutes. The write-in time amount of a picture signal Vs can be acquired need time, and write-in lack is not performed by this.

[0030] That is, in order that the provincial accent in the time of raising Vgh since it writes in that it is this wave from intermediate voltage VDD and an electrical potential difference Vgh is raised may end

smaller than the time of making it go up suddenly from reference voltage V0, write-in lack does not occur.

[0031] Actuation of the liquid crystal display 10 for acquiring the wave of the above-mentioned gate signal Vg is explained based on drawing 3.

[0032] Drawing 3 is the timing chart of each signal outputted from the liquid crystal controller 30.

[0033] Drawing 3 shows the picture signal Vs of perpendicular clock signal YCLK, perpendicular start signal STV, the output inhibiting signal OE, gate signal Vg, the delay signal TE, level clock signal XCLK, level start signal STH, and an analog from the top.

[0034] In the liquid crystal controller 30, level clock signal XCLK, the perpendicular start signal STV, and the output inhibiting signal OE are outputted to a gate driver 28.

[0035] The perpendicular start signal STV inputs a gate driver 28, and it outputs a gate signal Vg from the time of perpendicular clock signal YCLK starting for the first time after that.

[0036] However, as the conventional technique explained, in order to prevent flicker generating by the provincial accent at the time of the standup of a gate signal Vg, it is necessary to change the fixed time gate signal Vg into the condition against an output. Therefore, the output inhibiting signal OE outputted from the liquid crystal controller 30 determines this time amount.

[0037] First, in this example, the perpendicular start signal STV inputs, and when the time of perpendicular clock signal YCLK starting and the output inhibiting signal OE start, a gate signal V0 (for example, -12V) is once raised to intermediate voltage VDD (for example, 3V).

[0038] Next, after this output inhibiting signal OE falls after the output prohibition time amount t1 (for example, 20 microseconds), a gate signal Vg is written in and an electrical potential difference Vgh (for example, 18V) is raised further.

[0039] Next, a gate delay signal is explained.

[0040] After the time delay t2 which is time amount after the perpendicular start signal STV outputted to the gate driver 28 starts until the delay signal TE falls, level start signal STH outputted to the source driver 24 is generated, and it outputs at the source driver 24. Then, as shown in drawing 2, in order only for gate propagation delay time t2 to be in level start signal STH, only gate propagation delay time t2 is behind similarly at the time of falling.

[0041] By this, in order for the falling time amount to be only in gate propagation delay time t2, as a picture signal Vs is also shown in drawing 2, only in gate propagation delay time t2, a gate signal Vg will be in the condition of falling early relatively, to a picture signal Vs.

[0042] In order to write in a gate signal Vg by the above in two steps as it is the liquid crystal display 10 of this example, and to make it go up to an electrical potential difference Vgh, it is rare for the provincial accent at the time of starting to arise, it writes in like before, lack does not occur, and there is no bad influence to an image.

[0043] In addition, although the power-source selection circuitry was used as the gate driver at built-in, you may constitute from an above-mentioned example in the independent circuit.

[0044]

[Effect of the Invention] Since a gate signal is written in in two steps as it is the flat-surface display of this invention, and it is made to go up to an electrical potential difference, there are few provincial accents of a gate signal than the time of making it go up suddenly from reference voltage, and since write-in lack does not arise, a clear image can be obtained.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the liquid crystal display in which one example of this invention is shown.

[Drawing 2] It is the wave form chart of the gate signal and picture signal of this example.

[Drawing 3] It is the timing chart of the signal outputted from a liquid crystal controller.

[Drawing 4] It is a wave form chart near the leader of the scanning line.

[Drawing 5] It is a wave form chart near the trailer of the scanning line.

### [Description of Notations]

10 Liquid Crystal Display

12 Liquid Crystal Panel

14 Array Substrate

16 Signal Line

18 Scanning Line

20 TFT

22 Pixel Electrode

24 Source Driver

28 Gate Driver

30 Liquid Crystal Controller

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-99256

(P2002-99256A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int.Cl.<sup>7</sup>

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 G 3/20

識別記号

5 0 5

6 1 1

6 2 2

F I

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 G 3/20

テマコード(参考)

2 H 0 9 3

5 0 5 5 C 0 0 6

6 1 1 J 5 C 0 8 0

6 2 2 C

6 2 2 D

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号

特願2000-290778(P2000-290778)

(22)出願日

平成12年9月25日(2000.9.25)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 木村 浩

兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路工場内

(74)代理人 100059225

弁理士 萩原 章子 (外3名)

F ターム(参考) 2H093 NB11 NC09 ND36

5C006 AA22 AC22 AF50 BB16 FA37

5C080 AA10 BB05 CC03 DD09 FF11

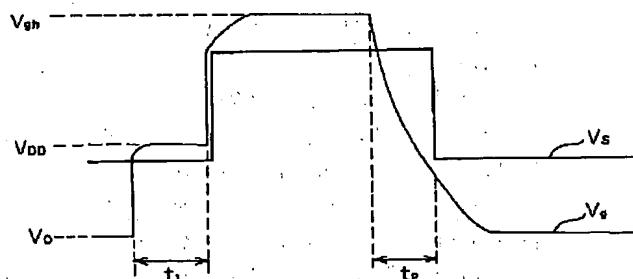
JJ02 JJ04

(54)【発明の名称】 平面表示装置

(57)【要約】

【課題】画面サイズが大きくなつても、ゲート信号による書き込み不足が発生しない液晶表示装置を提供する。

【解決手段】液晶表示装置10のゲートドライバ28は、ゲート信号を基準電圧V<sub>0</sub>から中間電圧V<sub>DD</sub>に一旦上昇させた後、書き込み電圧V<sub>gh</sub>に上昇させることによつて、なまりを小さくすることができ、書き込み不足が生じない。



(2)

1

## 【特許請求の範囲】

【請求項 1】互いに直交して配置される複数本の信号線及び走査線と、この信号線と走査線との交点近傍にスイッチ素子を介して配置される画素電極とを備えたアレイ基板を含み、前記信号線に接続され、画像信号を供給する信号線駆動回路と、前記走査線に接続され、前記スイッチング素子をON状態にして前記画像信号を前記画素電極に書き込むゲート信号を供給する走査線駆動回路と、を有する平面表示装置において、前記走査線駆動回路は、前記ゲート信号を基準電圧から中間電圧に一旦上昇させた後、書き込み電圧に上昇させることを特徴する平面表示装置。

【請求項 2】前記画像信号を発生させるタイミングを指示する水平スタート信号を前記信号線駆動回路へ出力し、また、前記ゲート信号を発生させるタイミングを指示する垂直スタート信号と、所定のパルス幅を有する出力禁止信号を前記走査線駆動回路へ出力する制御回路を有し、前記走査線駆動回路は、前記垂直スタート信号が入力した時刻を基準にして前記出力禁止信号が入力してから前記ゲート信号を中間電圧に上昇させ、その後、前記出力禁止信号が停止してから前記ゲート信号を書き込み電圧に上昇させることを特徴とする請求項 1 記載の平面表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の平面表示装置に関するものである。

【0002】

【従来の技術】液晶表示装置の1つであるアクティブラーティクス型液晶表示装置は、その大型化、高精細化に伴い、走査線の増加及び1本の走査線に接続される薄膜トランジスタ(TFT)の数が増加しており、そのため走査線の抵抗と容量は増加の一途をたどっている。

【0003】このように、走査線の抵抗及び容量の増加は、図4に示されるゲート信号Vgの電圧波形を、走査線終端側では図5に示されるゲート信号Vgの電圧波形の如く遅延させる。

【0004】このように走査線の終端方向への遅延時間の増加に伴い、TFTがOFF状態とならず、リーク電流が流れ、画素電圧が低下するということが起こる。

【0005】そのため、従来より図4及び図5に示すように、その電圧波形のなまりを考慮したゲート遅延時間t2を設け、ゲート遅延時間t2の分だけゲート信号Vgを早く立ち上げている。

【0006】また、ゲート信号Vgの立ち上がり時においても走査線の抵抗及び容量の影響により、なまりが生

2

じ、画素電極への書き込み時間が長くなり、フリッカー現象が発生する原因となる。

【0007】そこで、従来においては、このフリッカーの発生を防止するため、ゲート信号Vgの立ち上がり時間を一定時間だけ遅くして、出力禁止時間t1を設けている。

【0008】

【発明が解決しようとする課題】しかしながら、上記のような出力禁止時間t1の期間を設けて、ゲート信号Vgのなまりの部分を削りしても、最近の画面サイズが大きくなることを理由に、書き込み不足が生じ、画質への悪影響があるという問題点があった。

【0009】そして、大画面においてこのような書き込み不足を改善する方法として、ダブルゲート駆動法がある。

【0010】このダブルゲート駆動法では、ゲート信号で画素電極に本書込みを行う前に、予備書き込みで別のラインの画素信号を書き込み、書き込み不足を改善するものである。

【0011】しかしながら、この方法であっても予備書き込みのときの表示データによっては、画質への悪影響があった。

【0012】そこで、本発明は上記問題点に鑑み、画面サイズが大きくなても、ゲート信号による書き込み不足が発生しない平面表示装置を提供するものである。

【0013】

【課題を解決するための手段】請求項1の発明は、互いに直交して配置される複数本の信号線及び走査線と、この信号線と走査線との交点近傍にスイッチ素子を介して配置される画素電極とを備えたアレイ基板を含み、前記信号線に接続され、画像信号を供給する信号線駆動回路と、前記走査線に接続され、前記スイッチング素子をON状態にして前記画像信号を前記画素電極に書き込むゲート信号を供給する走査線駆動回路と、を有する平面表示装置において、前記走査線駆動回路は、前記ゲート信号を基準電圧から中間電圧に一旦上昇させた後、書き込み電圧に上昇させることを特徴する平面表示装置である。

【0014】

【0014】請求項2の発明は、前記画像信号を発生させるタイミングを指示する水平スタート信号を前記信号線駆動回路へ出力し、また、前記ゲート信号を発生させるタイミングを指示する垂直スタート信号と、所定のパルス幅を有する出力禁止信号を前記走査線駆動回路へ出力する制御回路を有し、前記走査線駆動回路は、前記垂直スタート信号が入力した時刻を基準にして前記出力禁止信号が入力してから前記ゲート信号を中間電圧に上昇させ、その後、前記出力禁止信号が停止してから前記ゲート信号を書き込み電圧に上昇させることを特徴とする請求項1記載の平面表示装置である。

【0015】本発明の平面表示装置であると、ゲート信

(3)

3

号が一旦中間電圧まで上昇した後、書き込み電圧まで上昇するため、この書き込み電圧まで上昇した時点でのなまりが、基準電圧からいきなり書き込み電圧まで上昇したときよりも小さくなり、書き込み不足を減らすことができる。

## 【0016】

【発明の実施の形態】以下、本発明の一実施例のアクティブマトリクス型液晶表示装置10について、図1～図5に基づいて説明する。

【0017】この液晶表示装置10は、有効表示領域が、例えば、対角15インチサイズのUXGA仕様のカラー表示画素を備えた液晶パネル12を備えている。

【0018】この液晶パネル12は、図1に示すように(1600×3(R, G, B))、本の信号線16と、この信号線6と直交して配置される1200本の走査線18と、これら各信号線16及び走査線18の交点近傍に配置されるTFT20を介して配置される画素電極22とを備えたアレイ基板14を備えている。また、このアレイ基板14の対向面上方に所定の間隙をもって配置されるカラーフィルタを備えた対向電極基板(図示せず)と、アレイ基板14と対向電極基板との間に配置される光変調層としての液晶(図示せず)とを備えている。

【0019】なお、液晶パネルに代えて有機ELパネルにするのであれば、液晶に代えて誘起EL層を配置する必要がある。

【0020】走査線18のそれぞれはTFT20のゲートに、信号線16のそれぞれはTFT20のドレインに、画素電極22のそれぞれはTFT20のソースに、それぞれ電気的に接続されており、これにより走査線18に供給されるゲート信号Vgに対応して信号線16からの画像信号Vsが画素電極22に書き込まれ、画素電極22と対向電極との電位差に基づいて表示される。

【0021】信号線16は、ソースドライバ24に接続され、このソースドライバ24はデジタルの画像データ信号DATAをD/A変換してアナログの画像信号Vsを信号線16に供給する。

【0022】走査線18は、ゲートドライバ28に接続され、ゲート信号Vgが供給される。

【0023】そして、ソースドライバ24とゲートドライバ28を制御する液晶コントローラ30を備えている。

【0024】この液晶コントローラ30からはソースドライバ24に対して、水平クロック信号XCLK、水平スタート信号STH、前記した画像データ信号DATA、極性反転信号POLが供給される。また、ゲートドライバ28に対しては、垂直クロック信号YCLK、垂直スタート信号STV、出力禁止信号OEが供給される。

【0025】電源回路32は、外部から供給される直流電圧Vinを、DC/DC変換を行い、液晶表示装置10

4

に必要な複数の直流電圧を生成するものである。

【0026】例えば、電源回路32は、ソースドライバ24へ直流電圧V1を供給し、液晶コントローラ30にも直流電圧V2を供給している。そして、ゲートドライバ28には、後で説明する書き込み電圧Vghと中間電圧VDDを供給している。

【0027】ゲートドライバ28内部には、電源選択回路30が設けられ、電源回路32から供給された書き込み電圧Vghと中間電圧VDDとを液晶コントローラ30から送られてきた制御信号に基づいて選択してゲート信号Vgとして出力している。

【0028】そのゲート信号Vgの出力波形を示したものが図2である。

【0029】図2に示すように、基準電圧V0から中間電圧VDDに一旦上昇させ、出力禁止時間t1後に、書き込み電圧であるVghに上昇させる。そして、ゲート遅延時間t2分だけ早く立ち下げる。これによって、画像信号Vsの書き込み時間を必要時間得ることができ、書き込み不足が行われない。

【0030】すなわち、この波形であると、中間電圧VDDから書き込み電圧Vghに上昇させるため、Vghに上昇させた時点でのなまりが、基準電圧V0からいきなり上昇させたときよりも小さくすむため、書き込み不足が発生しない。

【0031】上記のゲート信号Vgの波形を得るための液晶表示装置10の動作について、図3に基づいて説明する。

【0032】図3は、液晶コントローラ30から出力される各信号のタイミングチャートである。

【0033】図3は、上から垂直クロック信号YCLK、垂直スタート信号STV、出力禁止信号OE、ゲート信号Vg、遅延信号TE、水平クロック信号XCLK、水平スタート信号STH、アナログの画像信号Vsを示している。

【0034】液晶コントローラ30において、水平クロック信号XCLKと垂直スタート信号STVと出力禁止信号OEがゲートドライバ28に出力される。

【0035】ゲートドライバ28は、垂直スタート信号STVが入力し、その後初めて垂直クロック信号YCLKが立ち上がる時点からゲート信号Vgを出力する。

【0036】しかし、従来技術で説明したようにゲート信号Vgの立ち上がり時のなまりによるフリッカー発生を防止するため、一定時間ゲート信号Vgを出力禁止の状態にする必要がある。そのため、この時間を液晶コントローラ30から出力された出力禁止信号OEによって決定する。

【0037】まず、本実施例では、垂直スタート信号STVが入力し、垂直クロック信号YCLKが立ち上がった時点及び出力禁止信号OEが立ち上がった時点で、ゲート信号VO(例えば、-12V)を中間電圧VDD(例

(4)

5

えば、3V)まで一旦上昇させる。

【0038】次に、この出力禁止信号OEが出力禁止時間 $t_1$ (例えば、20μ秒)後に立ち下がってからゲート信号 $V_g$ を書き込み電圧 $V_{gh}$ (例えば、18V)にさらに上昇させる。

【0039】次に、ゲート遅延信号について説明する。

【0040】ゲートドライバ28に出力された垂直スタート信号STVが立ち上がってから、遅延信号TEが立ち下がるまでの時間である遅延時間 $t_2$ の後に、ソースドライバ24に出力する水平スタート信号STHを発生させ、ソースドライバ24に出力する。すると、図2に示すように、水平スタート信号STHがゲート遅延時間 $t_2$ だけ遅れるため、立ち下がり時も同様にゲート遅延時間 $t_2$ だけ遅れる。

【0041】これによって、画像信号 $V_s$ もその立ち下がり時間がゲート遅延時間 $t_2$ だけ遅れるため、図2に示すように、ゲート信号 $V_g$ が画像信号 $V_s$ に対してゲート遅延時間 $t_2$ だけ相対的に早く立ち下がる状態となる。

【0042】以上により本実施例の液晶表示装置10であると、ゲート信号 $V_g$ を2段階で書き込み電圧 $V_{gh}$ まで上昇させるため、立ち上げ時のなまりが生じることが少なく、従来のように書き込み不足が発生することがなく画像への悪影響がない。

【0043】なお、上記実施例では、電源選択回路をゲートドライバに内蔵したが、独立した回路で構成してもよい。

6

#### 【0044】

【発明の効果】本発明の平面表示装置であると、ゲート信号を2段階で書き込み電圧まで上昇させるため、基準電圧からいきなり上昇させる時よりもゲート信号のなまりが少なく、書き込み不足が生じることがないので、鮮明な画像を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例を示す液晶表示装置のプロック図である。

【図2】本実施例のゲート信号と画像信号の波形図である。

【図3】液晶コントローラから出力される信号のタイミングチャートである。

【図4】走査線の始端部近傍の波形図である。

【図5】走査線の終端部近傍の波形図である。

#### 【符号の説明】

10 液晶表示装置

12 液晶パネル

14 アレイ基板

16 信号線

18 走査線

20 TFT

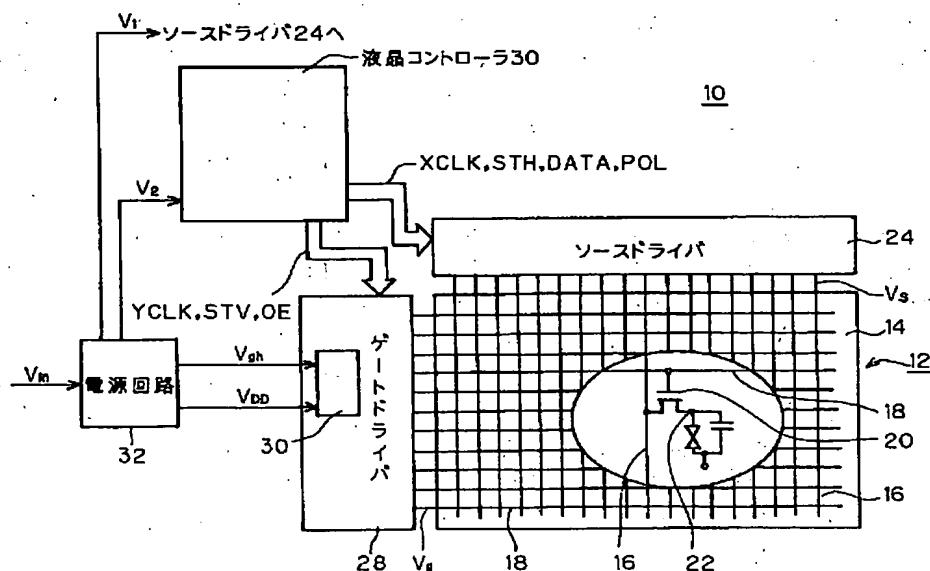
22 画素電極

24 ソースドライバ

28 ゲートドライバ

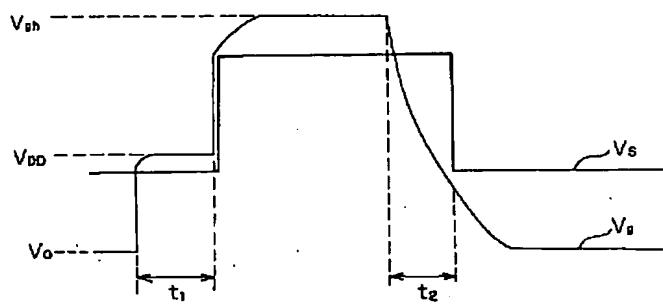
30 液晶コントローラ

【図1】

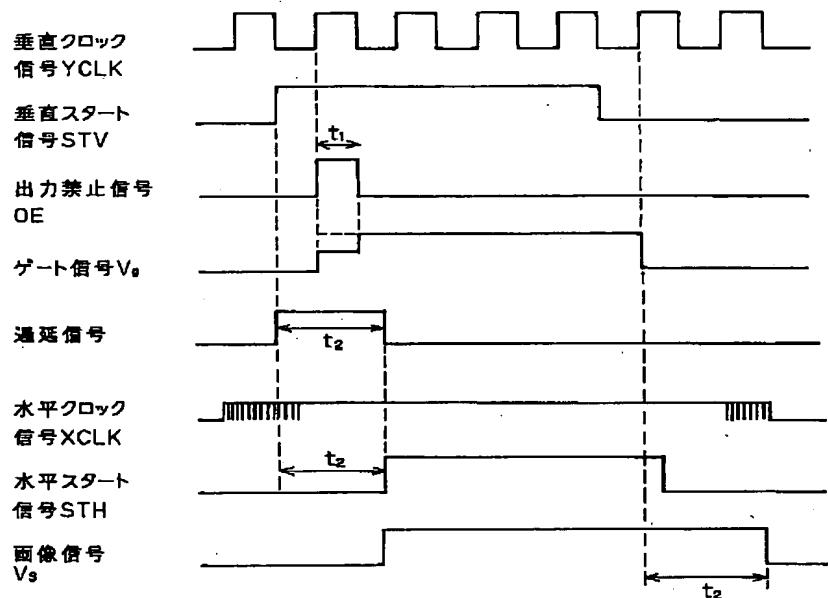


(5)

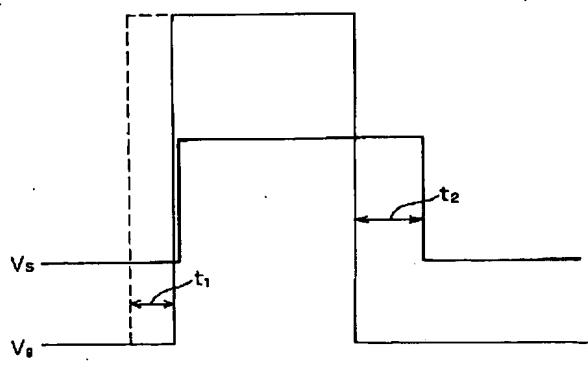
【図2】



【図3】



【図4】



【図5】

